



(19)

(11) Publication number:

07128405 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05294301

(51) Intl. Cl.: G01R 31/28 G01R 31/26

(22) Application date: 29.10.93

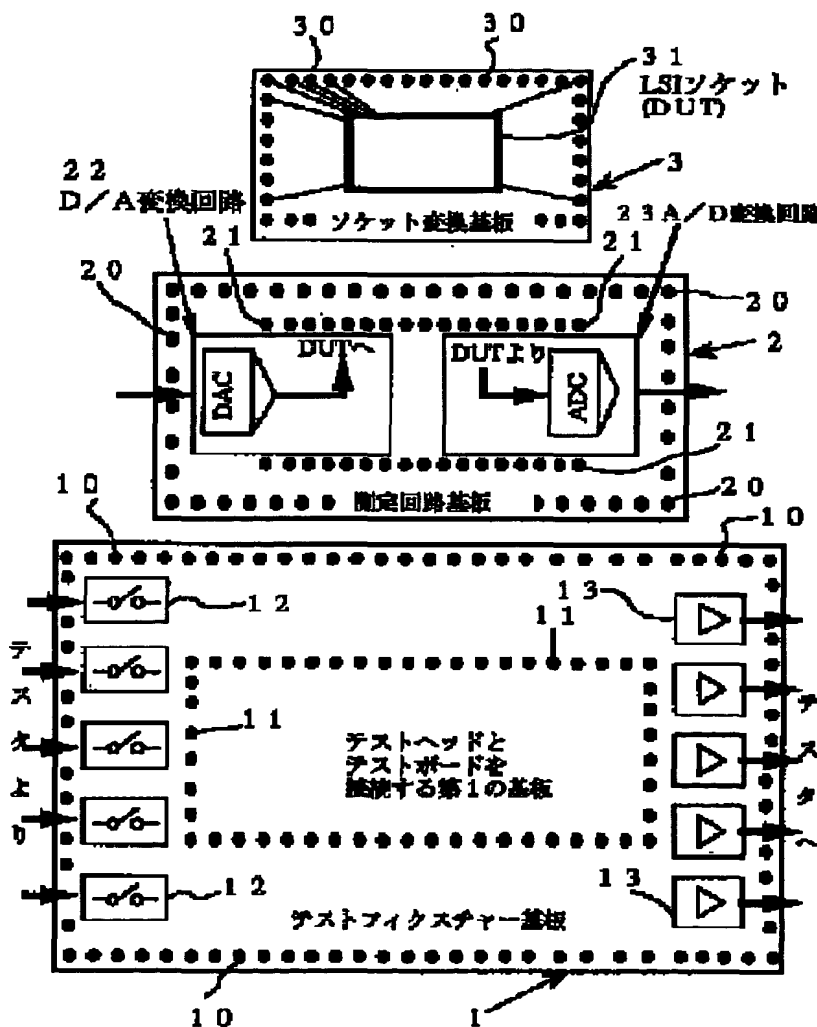
<p>(30) Priority:</p> <p>(43) Date of application publication: 19.05.95</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: HITACHI LTD</p> <p>(72) Inventor: NAKAHARA KINICHI MIYAZUMI MASAKI NAKAMURA KOJI HIRAISHI AKIHIKO TAKEUCHI SHIGERU HIROSE SHIGEMI</p> <p>(74) Representative:</p>
--	--

(54) LSI TEST BOARD

(57) Abstract:

PURPOSE: To apply a LSI test board to multiple kinds of test devices as a multi-purpose instrument by providing an additional test circuit changing form of an input signal to output it between a prescribed third terminal and a prescribed fourth terminal on a second substrate.

CONSTITUTION: The test board is so constituted that a first substrate 1 such as a test fixture board, second substrate 2 such as a measurement circuit board and a third substrate such as a socket-exchange board are vertically piled up in three steps. The second substrate is equipped with an additional test circuit that is provided between a prescribed third terminal 20 and a prescribed fourth terminal 21 and changes form of an input signal to output therefrom. The vertical three-step structure allows the device to be applied to any kinds of devices to be tested having different arrangement of pins or different number of pins by only changing a connection condition between a fifth terminal 30 of the third substrate 3 and an LSI socket 31. Thereby, it is possible to utilize additional test circuit for multiple kinds of test device.



COPYRIGHT: (C)1995,JPO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平7-128405

(43)公開日 平成7年(1995)5月19日

(51)IntCl.⁹

識別記号

庁内整理番号

FI

技術表示箇所

G01R 31/28

31/26

J

G01R 31/28

S

V

審査請求 未請求 請求項の数6 FD (全12頁)

(21)出願番号 特願平5-294301

(22)出願日 平成5年(1993)10月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中原 欽一

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 宮住 雅樹

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 中村 幸治

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 玉村 静世

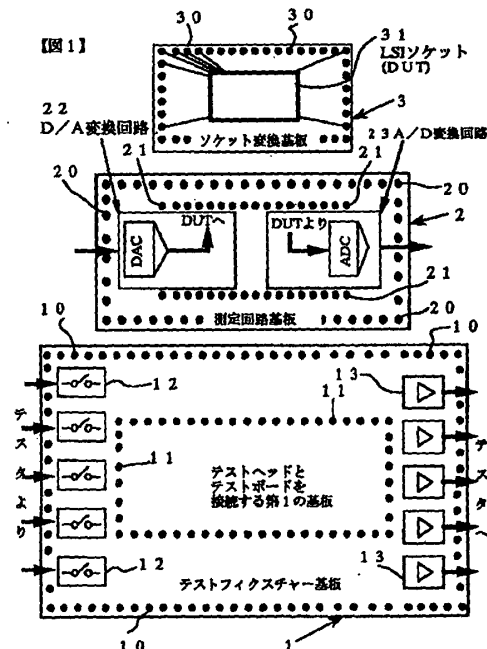
最終頁に続く

(54)【発明の名称】 LSIテストボード

(57)【要約】

【目的】 テストボードに所望に機能を持たせるテスト用追加回路を多種類のテストデバイスに汎用的に利用可能にするLSIテストボードを提供する。

【構成】 テストヘッドの接触端子に接続される第1の端子10と該第1の端子に接続される第2の端子11とを有する第1の基板1と、第1の基板の第2の端子の上に着脱可能に接続される第3の端子20と該第3の端子に接続される複数の第4の端子21を有する第2の基板2と、第2の基板の第4の端子の上に着脱可能に接続される複数の第5の端子30と該第5の端子に接続されるLSIソケット31を有する第3の基板3とを有し、第2の基板は、所定の第3の端子20と所定の第4の端子21との間に、D/A変換回路22やA/D変換回路23のようなテスト追加回路を設ける。



【特許請求の範囲】

【請求項1】 テストヘッドの接触端子に接続される複数の第1の端子と該第1の端子から所定の配線を介在して接続される第2の端子とを有する第1の基板と、この第1の基板の第2の端子の上に着脱可能に接続される第3の端子と該第3の端子に所定の配線を介在して接続される複数の第4の端子を有する第2の基板と、この第2の基板の第4の端子の上に着脱可能に接続される複数の第5の端子と該第5の端子に所定の配線を介在して接続されるLSIソケットを有する第3の基板とを有し、

上記第2の基板は、所定の第3の端子と所定の第4の端子との間に、入力信号の形式を変更して出力するテスト用追加回路を備えて成るものであることを特徴とするLSIテストボード。

【請求項2】 上記テスト用追加回路は、所定の第3の端子から供給されるデジタル情報をアナログ情報に変換して所定の第4の端子に供給するD/A変換回路と、所定の第4の端子から供給されるアナログ情報をデジタル情報に変換して所定の第3の端子に供給するA/D変換回路と、を含んで成るものであることを特徴とする請求項1記載のLSIテストボード。

【請求項3】 上記テスト用追加回路は、所定の第3の端子から供給されるクロック信号の周波数を高くして所定の第4の端子に供給する第1の周波数変換回路と、所定の第4の端子から供給される信号の周波数を低くして所定の第3の端子に供給する第2の周波数変換回路と、を含んで成るものであることを特徴とする請求項1記載のLSIテストボード。

【請求項4】 被テスト用のLSIが装着されるLSIソケットをテストヘッドの複数の接触端子にインタフェースさせるLSIテストボードにおいて、テストヘッドの所定の接触端子から供給されるクロック信号の周波数を高くして上記LSIソケットに供給する第1の周波数変換回路と、LSIソケットから供給される信号の周波数を低くして所定の接触端子に供給する第2の周波数変換回路とを設けて成るものであることを特徴とするLSIテストボード。

【請求項5】 上記第1の周波数変換回路は、周波数帰還回路に分周器が介在されたフェーズ・ロックド・ループ回路であることを特徴とする請求項4の記載のLSIテストボード。

【請求項6】 上記第2の周波数変換回路は、LSIソケットから供給される信号を、テストヘッドの所定の接触端子を介して供給されるタイミング信号の周波数に同期して所定の接触端子に向けて出力させる出力ゲート回路であることを特徴とする請求項4記載のLSIテストボード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LSIテストのテストヘッド上に設置して使用されるLSIテストボードに関し、例えばデジタルテストによってデジタル・アナログ混載LSIをテスト可能にするLSIテストボードに適用して有効な技術に関する。

【0002】

【従来の技術】LSIテストは、テストプログラムなどを保有する記憶装置と、テスト全体を制御する中央処理装置、被テストLSIとしての被テストデバイスへのバイアス電圧及びクロックタイミングなどを制御するコントローラ、そして該コントローラの制御信号によって被テストデバイスに対してテストプログラム通りの電圧及びタイミングを与えるドライバや被テストデバイスからの信号を比較する比較回路などを備えたビンエレクトロニクスによって構成されるものがある。このようなLSIテストのテストヘッド上には、被テストデバイスが搭載されるLSIテストボードが設置される。例えばデジタルテストは、デジタルLSIの論理的動作をテストする機能を中心に、被テストデバイスの電流や各端子の入力スレッショルド電圧、入力リーク電流、出力電圧、出力電流などを計測する機能を備えている。一方、アナログ回路を搭載したアナログ・デジタル混載LSIをテストする場合、デジタル部のテストには十分な能力を発揮するが、アナログ部のテストには周波数応答を測定する為の交流信号の発生、計測といった機能の面、あるいは電圧電流計測の分解能の細かさといった面で劣っている。

【0003】このようなアナログ・デジタル混載のLSIを測定するとき、アナログ部とデジタル部をそれぞれ別なテスターで2回に分けて測定すると、測定時間がかかり、また測定にかかる費用も大きくなる。他方、アナログ・デジタル兼用テスターを利用することもできるが、斯るテストは測定時間や測定コストは小さいものの、1機あたりの値段が高くその導入は必ずしも容易ではない。

【0004】この点につき、特開昭64-39567号公報には、アナログ・デジタル混載LSIをデジタルテストを使ってその汎用性を損なうことなく効率的にかつ精度よく測定できる装置が開示されている。これによれば、被テストデバイスが搭載される第1のボードとデジタルテストのテストヘッドとの間に、上記第1のボードとテストヘッドのテストピンを接続するための第2のテストボードを有するものにおいて、当該第2のボード上には基板接続用コネクタを設けてあり、この基板接続用コネクタは、第1のボードに接続されていないテストヘッドのテストピンと第1のボードとを接続するものである。そして、当該基板接続用コネクタには、例えば被テストデバイスから出力されるアナログ信号をデジタル信号に変換してデジタルテストに供給可能にする外付け基板などを搭載することができる。

【0005】またLSIテストボードの構造としては、特開平1-123172号に記載のように、テストヘッドのコンタクトピンに接続する接触端子及びこの接触端子に接続する測定用の負荷回路を有し追加用の回路基板を実装可能な第1の基板と、この第1の基板に交換可能に接続されLSIソケットを装着する第2の基板とを備えたものがあり、当該構造により、被テストデバイスの高集積化によってその外部端子数が増加しても第2の基板と追加用回路基板を変更すれば対処できるとするものである。

【0006】

【発明が解決しようとする課題】しかしながら上記特開昭64-39567号公報に記載のものにおいては、基板接続用コネクタは被テストデバイスが搭載される第1のボードに固有であるため、当該基板接続用コネクタに搭載して利用される外付け基板は、被テストデバイス及び第1のボードの種別毎に作成もしくは用意しなければならない。また、特開平1-123172号に記載のものにおいても、例えば被テストデバイスの外部端子数の増加に対処するには第2の基板と追加用回路基板の双方を変更しなければならない。また、特開平1-123172号に記載の構造は、被テストデバイスを搭載する第2の基板と追加用回路基板とが第1の基板上に搭載され、両者を接続する配線が長くなって、ノイズなどの影響を受けてテストの信頼性が低下する虞のあることが本発明者によって見い出された。さらに本発明者は、テストデバイスの動作周波数についても検討したところ、アナログ・デジタル兼用テスターがデジタルテスタよりも値段が高いのと同様に、テスト可能なデバイスの動作速度が速ければ速い程、そのテスタの値段も高くなり、被テストデバイスの少数の端子とやりとりすべき信号の周波数が高い場合には、当該少数の端子機能のために高価なテスタを用意しなければ満足なテストを行うことができないという問題点のあることも見出した。

【0007】本発明の目的は、テストボードに所望に機能を持たせるテスト用追加回路を、多くの種類のテストデバイスに汎用的に利用可能にするLSIテストボードを提供することにある。本発明の別の目的は、テスト用追加回路と被テストデバイスとを接続する為の信号配線、及びテスト用追加回路とテストヘッドとを接続するための信号配線を短くすることができるLSIテストボードを提供することにある。本発明のその他の目的は、テスタがサポート可能な信号周波数以上の信号を少数若しくは一部に端子に要するLSIのテストを当該テスタによって可能にするLSIテストボードを提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】(1) テストヘッドの接触端子に接続される複数の第1の端子と該第1の端子から所定の配線を介在して接続される第2の端子とを有する第1の基板と、この第1の基板の第2の端子の上に着脱可能に接続される第3の端子と該第3の端子に所定の配線を介在して接続される複数の第4の端子を有する第2の基板と、この第2の基板の第4の端子の上に着脱可能に接続される複数の第5の端子と該第5の端子に所定の配線を介在して接続されるLSIソケットを有する第3の基板とを有し、上記第2の基板には、所定の第3の端子と所定の第4の端子との間に、入力信号の形式を変更して出力するテスト用追加回路を設けてLSIテストボードを構成するものである。すなわち、第1乃至第3の基板を3段の縦積み構成とする。

(2) アナログ・デジタル混載LSIのデジタルテスタによるテストを可能にするには、上記テスト用追加回路として、D/A変換回路とA/D変換回路とを採用することができる。

(3) テスタがサポート可能な信号周波数以上の信号を要するLSIのテストを当該テスタによって可能にするには、上記テスト用追加回路として、所定の第3の端子から供給されるクロック信号の周波数を高くして所定の第4の端子に供給する第1の周波数変換回路と、所定の第4の端子から供給される信号の周波数を低くして所定の第3の端子に供給する第2の周波数変換回路とを採用することができる。

(4) LSIテストボードの上記3段縦積み構成とは無関係に、被テスト用のLSIが装着されるLSIソケットをテストヘッドの複数の接触端子にインタフェースさせるLSIテストボードにおいて、テスタがサポート可能な信号周波数以上の信号を要するLSIのテストを当該テスタによって可能にするには、テストヘッドの所定の接触端子から供給されるクロック信号の周波数を高くして上記LSIソケットに供給する第1の周波数変換回路と、LSIソケットから供給される信号の周波数を低くして所定の接触端子に供給する第2の周波数変換回路とを設けてLSIテストボードを構成する。

(5) 上記第1の周波数変換回路を簡単に構成するには、周波数帰還回路に分周器が介在されたフェーズ・ロックド・ループ回路を採用することができる。

(6) 上記第2の周波数変換回路を簡単に構成するには、LSIソケットから供給される信号を、テストヘッドの所定の接触端子を介して供給されるタイミング信号の周波数に同期して所定の接触端子に向けて出力させる出力ゲート回路を採用することができる。

【0011】

【作用】上記した手段によれば、第1乃至第3の基板を

3段に縦積みとするLSIテストボードの構成は、その縦積み構造故に、テスト用追加回路と被テストデバイスとを接続する為の信号配線、及びテスト用追加回路とテストヘッドとを接続するための信号配線を短くする。さらに、上記3段縦積み構造は、被テストデバイスの種類、並びにテストデバイスのピン配置及びピン数の相違などを、第3の基板上の第5の端子とLSIソケットとの接続態様を変更するだけで殆ど対処可能になり、換言すれば、第3の基板だけを交換すれば対応できるようになり、このことが、テストボードに所望に機能を持たせるテスト用追加回路を、多くの種類のテストデバイスに汎用的に利用可能にする。LSIテストボードに搭載された第1及び第2の周波数変換回路は、テストがサポート可能な信号周波数以上の信号を少数若しくは一部の端子に要するLSIのテストを当該テストによって可能にする。

【0012】

【実施例】図1には本発明の第1実施例に係るLSIテストボードの平面図が示され、図2にはLSIテストボードの縦断面構造が示される。同図に示されるLSIテストボードは、テストフィクスチャー基板のような第1の基板1、測定回路基板のような第2の基板2、及びソケット変換基板のような第3の基板3がテストのテストヘッド4の上に3段縦積みで構成される。

【0013】第1の基板1は、テストヘッド4の接触端子40に接続される複数の第1の端子10と該第1の端子10から所定の配線を介在して接続される第2の端子11とを有する。第1の基板には図示しない負荷回路、リレー12、及びバッファ13などが配置されている。リレー12は第1の端子10と第2の端子11との接続態様の切り換えや、第2の端子11に接続される負荷回路の切り換えに利用される。リレー12に対する制御はテスト側から或いは第1の基板1上の図示しないディップスイッチの設定などによって行うことができる。バッファ13は、特に制限されないが、所定の第2の端子11から所定の第1の端子10に供給すべき信号振幅の変換や信号増幅などを行う。

【0014】第2の基板2は、上記第1の基板1の第2の端子11の上に着脱可能に接続される第3の端子20と該第3の端子20に所定の配線を介在して接続される複数の第4の端子21を有する。この第2の基板2は、所定の第3の端子20と所定の第4の端子21との間に、入力信号の形式を変更して出力するテスト用追加回路を備える。第1の実施例において当該テスト用追加回路は、特に制限されないが、所定の第3の端子20から供給されるデジタル情報をアナログ情報に変換して所定の第4の端子21に供給するD/A変換回路22と、所定の第4の端子21から供給されるアナログ情報をデジタル情報に変換して所定の第3の端子20に供給するA/D変換回路23とされる。D/A変換回路22と

しては、荷重抵抗型のD/A変換回路、はしご形抵抗回路網を用いたD/A変換回路、さらにはセグメント方式やデジタル補正方式のD/A変換回路を要求制度に応じて採用することができる。A/D変換回路23としては、2重積分型、逐次比較型、並列比較型などのA/D変換回路を適宜採用することができる。

【0015】第3の基板3は、第2の基板2の第4の端子21の上に着脱可能に接続される複数の第5の端子30と該第5の端子30に所定の配線を介して接続されるLSIソケット31を有する。

【0016】図3には着脱可能に接続される端子構造の一例として第4の端子21と第5の端子30の構成が示される。同図の(A)に示される構造は雄雌嵌合構造とされ、第4の端子21の上端部に穿設された穴に第5の端子30が嵌入されるようになっている。同図の(B)に示される構造は所謂ボゴピンと称される構造であり、第4の端子21は、圧縮コイルスプリング30aによって下方に弾発されるピストン30bをシリンダ30cに設けて構成され、第5の端子30は当該ピストン30bの突端に接触する接触端子として構成される。この端子構造においては上下の基板2、3の左右方向の位置決め固定のためにスペーサとして機能するポスト30dの上下のねじ部30eを上下の基板2、3に挿通してナット30fで固定する構造が付加されている。その他の端子の構造についても上記端子21、30の構造などを適宜選択して採用することができる。

【0017】図4には上記ソケット変換基板としての第3の基板3の一例が示される。同図に示されるLSIソケット31は、特に制限されないが、P1～P14までの端子を有し、それに応じて第3の基板の第5の端子は30-1～30-14とされる。この例に従えば、端子P1～P14は基板のパターン配線33を介して順番に第5の端子30-1～30-14に各別に接続される。

【0018】図4に示される被テストデバイスDUTは、端子P1からアナログ信号を入力するA/D変換器ADC、端子P7にアナログ信号を出力するD/A変換器DAC、及びロジック回路LOGを有するアナログ・デジタル混載LSIとされる。

【0019】この例に従えば、第5の端子30-1はアナログ入力端子、端子30-7はアナログ出力端子、端子30-2～30-6及び端子30-9～30-13はデジタル入出力端子、端子30-14はVCCのような電源端子、端子30-8はGNDのような基準電位端子とされる。したがって、第5の端子30-1～30-14に接続される夫々の第4の端子21の機能もそれに対応されている。例えば、端子30-1は第2の基板2におけるD/A変換回路22のアナログ出力に所定の第4の端子21を介して接続され、端子30-7は第2の基板2におけるA/D変換回路23のアナログ入力に所定の第4の端子21を介して接続される。

【0020】第1の基板1における第2の端子11の信号入出力機能及び当該第2の端子11と第1の端子10とのリレー12などによる接続形態などは、上述の第2の基板2及び第3の基板3における具体的な信号入出力機能に従って決定されることになる。

【0021】本実施例のLSIテストボードの第1の端子10はデジタルテストのテストヘッド4に設けられた接触端子40に接続される。デジタルテストはそのテストプログラムに従って被テストデバイスDUTにテスト用信号を供給し、これによって被テストデバイスDUTから出力される信号を観測する。このとき、被テストデバイスDUTがアナログ信号を必要とする場合、デジタルテストはD/A変換回路22でそのアナログ信号を生成するためのデジタル信号を出力する。一方、被テストデバイスDUTから出力されるアナログ信号は、A/D変換回路23でデジタル信号に変換されて、デジタルテストはそのデジタル信号を取り込んで観測する。したがって、被テストデバイスDUTのA/D変換器ADC及びD/A変換器DACを含めたテストは、第2の基板2に搭載されたテスト用追加回路22、23の作用によってデジタルテストで行うことができる。このとき、第2の基板と第3の基板は縦積みで構成されるため、被テストデバイスDUTに内蔵されるA/D変換器ADC及びD/A変換器DACと、第2の基板上のD/A変換回路22及びA/D変換回路23とを接続する配線はもとより、テストヘッド40から被テストデバイスDUTに至る配線も短くなっているため、ノイズの影響を最小限として信頼性の高いデバイステストを行うことができる。

【0022】図5には外部とインタフェースされるアナログ回路としてA/D変換器ADCのみを有するアナログ・デジタル混載LSIを被テストデバイスDUTとする場合の第3の基板3の一例が示される。図4との相違点は、被テストデバイスDUTにおいてD/A変換器DACが搭載されず、端子P3～P7がロジック回路LOGに接続されると共にA/D変換器ADCのアナログ入力が端子P2に接続され、これに応じて基板3の端子30-1が端子P2に、端子30-2～30-6が端子P3～P7に夫々パターン配線33で各別に接続されていることである。斯る相違は、第3の基板の端子30-1～30-14の機能をそのまま維持するためである。すなわち、被テストデバイスDUTが相違される場合、第3の基板の端子30-1～30-14とLSIソケット31の端子P1～P14とを接続するためのパターン配線33を変更するだけで、第1の基板の設定態様と第2の基板2それ自体とを図5に示されるような別の被テストデバイスの試験にそのまま利用することができる。

【0023】図6には外部とインタフェースされるアナログ回路としてD/A変換器DACのみを有するアナログ・デジタル混載LSIを被テストデバイスDUTと

する場合の第3の基板3の一例が示される。図4との相違点は、被テストデバイスDUTにおいてA/D変換器ADCが搭載されず、端子P3～P5及びP7がロジック回路LOGに接続されると共にD/A変換器ADCのアナログ出力が端子P6に接続され、これに応じて基板3の端子30-6が端子P6に、端子30-2～30-5及び30-7が端子P3～P5及びP7に夫々パターン配線33で各別に接続されていることである。斯る相違は、第3の基板の端子30-1～30-14の機能を図4の場合と同様に維持するためである。すなわち、図4に対して被テストデバイスが相違される場合、第3の基板の端子30-1～30-14とLSIソケットの端子P1～P14とを接続するためのパターン配線33を変更するだけで、第1の基板の設定態様と第2の基板2それ自体とを図6のような別の被テストデバイスの試験にそのまま利用することができる。

【0024】図7には第2の基板2に搭載されるテスト用追加回路としてA/D変換回路23とは異なる変換回路24の一例が示される。同図に示される被テストデバイスDUTは、特に制限されないが、VTRのテープ駆動系をサーボ制御するためのVTRサーボLSIとされる。この被テストデバイスDUTから出力されるパルス幅変調信号PWMは、接地電位GNDと電源電圧VDDとの間の4種類の直流レベルBL1～BL4に夫々パルス幅が相違されるパルスを重畳した信号とされる。同図に示される変換回路24はそのようなパルス幅変調信号PWMをパルス幅だけが有意の信号に変換するものである。この明細書においてはそのような変換もA/D変換として位置付けることができる。

【0025】この変換回路24は、図示しないデジタルテストから供給される2ビットのデジタル信号DA1、DA2をA/D変換器25で4値の何れかに変換し、これをレベルシフト回路26で電源電圧VDDと接地電位GNDとの間のレベルにレベルシフトする。当該レベルシフト回路26から出力されるレベルは全部で4通りのレベルL1～L4とされる。このレベルL1～L4は、パルス幅変調信号PWMにおける4種類の直流レベルBL1～BL4に重畳された信号波形を判定するための参照レベルとされる。レベルシフト回路26の出力と上記パルス幅変調信号PWMはコンパレータ27に供給される。コンパレータ27は、参照レベルに対してパルス幅変調信号PWMのレベルが高いときにはハイレベルを出力し、低いときにはローレベルを出力する。参照レベルを形成するための2ビットDA1、DA2はパルス幅変調信号PWMの直流レベルに呼応する参照レベルL1～L4を順次生成できるようにテストから供給される。したがって、コンパレータ27の出力は、図7に示されるようにパルス幅変調信号PWMのパルス幅のみ有意の信号とされる。

【0026】図8には本発明の第2実施例に係るLSI

テストボードの平面図が示される。本実施例においても図 1 及び図 2 で説明した第 1 実施例と同様に第 1 の基板 101、第 2 の基板 102、及び第 3 の基板 103 が縦積みで構成される。夫々の基板 101、102、103 の基本的な構成は図 1 及び図 2 に基づいて説明した第 1 実施例の基板 1、2、3 と同様であり、同一の回路部材には同一符号を付してその詳細な説明を省略する。

【0027】第 1 の実施例と第 2 の実施例との大きな相違点は、第 2 の基板 102 に搭載されるテスト用追加回路の構成である。本実施例のテスト用追加回路は、所定の第 3 の端子 20 から供給されるクロック信号の周波数を高くして所定の第 4 の端子 21 に供給する第 1 の周波数変換回路 28 と、所定の第 4 の端子 21 から供給される信号の周波数を低くして所定の第 3 の端子 20 に供給する第 2 の周波数変換回路 29 とされる。第 1 の周波数変換回路 28 としては、周波数帰還回路に分周器が介在されたフェーズ・ロックド・ループ回路を採用することができる。また、第 2 の周波数変換回路としては、LSI ソケットから供給される信号を、テストヘッドの所定の接触端子を介して供給されるタイミング信号の周波数に同期して所定の接触端子に向けて出力させる出力ゲート回路を採用することができる。尚、LSI テストボードにおけるそのようなテスト用追加回路の相違は、第 3 の基板 103 に設けられる具体的な LSI ソケット 31 の種類やそれに搭載される被テストデバイスの種類、更には第 1 の基板 101 におけるリレー 12 などの具体的なスイッチ制御状態も相違されることを意味する。

【0028】テスト用追加回路を上述の周波数変換回路 28、29 とすることにより、LSI ソケット 31 に搭載される被テストデバイスが動作されるために必要な一部の信号周波数がテストでサポート可能な最高周波数を上回る場合にも、当該テストはそれがサポートする周波数の信号を出力すればよく、第 1 の周波数変換回路 28 はその信号周波数を上げて被テストデバイスに供給する。被テストデバイスが出力する特定信号の周波数も直接テストが処理できない周波数である場合、第 2 の周波数変換回路 29 がその高い周波数の信号周波数を低くしてテストに供給する。これによって、テストがサポート可能な信号周波数以上の信号を要する LSI のテストを当該テストによって可能にすることができる。さらに第 1 実施例同様に、LSI テストボードの縦積み 3 段構成により、被テストデバイス DUT が相違される場合に、第 3 の基板 3 の第 5 の端子 30 と LSI ソケット 31 の端子とを接続するためのパターン配線 33 を変更するだけで、第 1 の基板 1 の設定態様と第 2 の基板 2 それ自体とを別の被テストデバイス DUT の試験にそのまま利用することができる。

【0029】図 9 には本発明の第 3 実施例が示される。同図に示される実施例の LSI テストボードは、上記実施例で説明した 3 段縦積み構造に限定されるものではな

く、被テストデバイス DUT が装着される LSI ソケット 31 をテストヘッドの複数の接触端子にインタフェースさせる LSI テストボードとして構成される。本実施例の LSI テストボードは、テストヘッドの所定の接触端子から供給されるクロック信号の周波数を高くして上記 LSI ソケット 31 に供給する第 1 の周波数変換回路 60 と、LSI ソケットから 31 供給される信号の周波数を低くして所定の接触端子に向けて供給する第 2 の周波数変換回路 70 とを備えて成る。

【0030】上記第 1 の周波数変換回路 60 は、図 9 に従えば、周波数帰還回路に分周器が介在されたフェーズ・ロックド・ループ回路（以下単に PLL 回路 60 とも記す）とされる。この PLL 回路 60 は、特に制限されないが、位相比較回路 PD、ローパスフィルタ LPF、電圧制御発信回路 VCO、及びプログラマブル分周器 DIV によって構成される。上記位相比較回路 PD は例えばテスト 80 から出力される 38.5 MHz のクロック信号とプログラマブル分周器 DIV の出力との位相を比較し、相違があればその位相の方向と大きさに比例した電圧を出力する。この電圧はローパスフィルタ LPF で平滑化されて電圧制御発信回路 VCO に入力され、その出力信号周波数を変化させて、プログラマブル分周回路 DIV の出力周波数がテスト 80 の出力信号周波数に等しくされるまで、そのループ制御を繰り返して電圧制御発信回路 VCO の出力信号周波数を安定状態とする。これによって電圧制御発信回路 VCO の出力信号周波数は、例えばプログラマブル分周器 DIV の分周比が $1/n$ であれば 38.5 MHz の n 倍とされる。図にはその信号周波数は例えば 135 MHz とされる。したがって、処理できる信号の最高周波数が 40 MHz 程度のテスト 80 を用いても、被テストデバイス DUT にはそれ以上の周波数を持つ信号を供給することができる。分周器としてプログラマブル分周器 DIV を採用することにより、第 1 の周波数変換回路すなわち第 2 の基板 2 の汎用性を増すことができる。

【0031】本実施例に従えば、被テストデバイス DUT はそのように周波数の高い信号に同期動作して R、G、B、I の各信号をやはり上記同様に高い周波数を以って出力する。このとき、第 2 の周波数変換回路 70 は、LSI ソケット 31 から供給される信号を、テストヘッドの所定の接触端子を介して供給されるタイミング信号（出力ラッチストロブ）φの周波数に同期して所定の接触端子に向けて出力させる出力ゲート回路とされる（以下単に出力ゲート回路 70 とも記す）。すなわち、出力ゲート回路 70 は夫々の信号 R、G、B、I に対応して 4 個のコンパレータ 71～74 を有し、夫々のコンパレータ 71～74 は相互に共通の出力ラッチストロブ φ がローレベルのような出力指示レベルにされる毎に出力動作を行って各別にその出力をテスト 80 に向けて供給する。この例に従えば、出力ゲート回路 70 は

被テストデバイスDUTから出力される信号R、G、B、Iを間引いてテスト80に供給することになるが、上記信号R、G、B、Iの計測に必要な分解能との関係において必要な精度をエルことができればそれで充分である。

【0032】図10には図9に示される被テストデバイスDUTの一例ブロック図が示される。同図に示される被テストデバイスDUTはカラーバレットLSIとされる。このカラーバレットLSIはロジック回路92、93、RAM94、及びDAコンバータ95を備え、実際のシステム上においてはフレームバッファメモリ90とマイクロプロセッサ(MPU)91にインタフェースされて制御され、R(赤)、G(緑)、B(青)、I(輝度)の各アナログ信号を図示しない表示装置装置に供給する。ロジック回路92はフレームバッファメモリ90から画像データを読み込んでRAM94に描画する。ロジック回路93はマイクロプロセッサ91からのコマンドを解釈して、RAMに描画された画像データの表示色を所望に変更するためのデータ処理を行って当該RAMにデータ処理後の画像データを展開する。DAコンバータ95はRAMに展開された画像データをD/A変換して出力する。

【0033】なお、図9に示されるPLL回路60及び出力ゲート回路70の構成は図8の周波数変換回路28、29にも適用することができる。この場合には、位相比較回路PDによってプログラマブル分周器DIVの出力を受けるのとは反対側の入力第2の基板2における所定の第3の端子20に結合され、電圧制御発信回路VCOの出力は第2の基板2における所定の第4に端子2に結合される。ゲート回路70の入力は第2の基板2における所定の第4の端子21に結合され、ゲート回路70の出力は第2の基板2の所定の第3の端子20に結合される。

【0034】上記実施例によれば以下の作用効果がある。

(1) 第1乃至第3の基板1~3を3段に縦積みとするLSIテストボードの構成は、その縦積み構造故に、D/A変換器DAC、A/D変換器ADC、第1の周波数変換回路28、第2の周波数変換回路29、PLL回路60、出力ゲート回路70などのテスト用追加回路と被テストデバイスDUTとを接続する為の信号配線、及びテスト用追加回路とテストヘッドとを接続するための信号配線を短くすることができる。これによって、ノイズなどの影響を最小限としてデバイステストの信頼性を向上できる。

(2) テスト用追加回路としてD/A変換器DACやA/D変換器ADCを採用することにより、デジタルテストによってアナログ・デジタル混載LSIをテストすることができるようになる。

(3) 上記3段縦積み構造は、被テストデバイスの種

類、並びにテストデバイスのピン配置及びピン数の相違などを、第3の基板3上の第5の端子30とLSIソケット31との接続態様を変更するだけで殆ど対処可能になり、換言すれば、第3の基板3だけを交換すれば対応できるようになる。したがって、LSIテストボードに所望に機能を持たせるテスト用追加回路を、多くの種類の被テストデバイスDUTに汎用的に利用することができるようになる。

(4) LSIテストボードに、周波数変換回路28、29、PLL回路60、出力ゲート回路70などを搭載することにより、テストがサポート可能な信号周波数以上の信号を少数若しくは一部の端子に要するLSIのテストを当該テストによって可能にすることができる。

【0035】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば上記実施例では第1乃至第3の基板は夫々矩形とされるが、本発明はそれに限定されるものではなく、必要に応じて円形若しくは円形同心状態で3段縦積み構造とすることができる。また、テスト用追加回路はD/A変換器DAC、A/D変換器ADC、周波数変換回路28、29、PLL回路60、出力ゲート回路70に限定されず、入力信号形式を変更して出力する回路であればよい。また、LSIソケットは被テストデバイスのパッケージ形態に応じて適宜変更可能である。また、被テストデバイスそれ自体についても上記実施例で説明したものに限定されない。

【0036】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログ・デジタル混載LSIのためのテストボードに適用した場合について説明したが本発明はそれに限定されるものではなく、デジタルLSIのためのテストボードにも適用できることは言うまでもない。

【0037】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0038】(1) LSIテストボードの構成として第1乃至第3の基板による3段縦積み構造を採用したから、その縦積み構造故に、テスト用追加回路と被テストデバイスとを接続する為の信号配線、及びテスト用追加回路とテストヘッドとを接続するための信号配線を短くすることができて、ノイズの影響などによるテストの信頼性低下を最小限とすることができる。

(2) 上記3段縦積み構造は、被テストデバイスの種類、並びにテストデバイスのピン配置及びピン数の相違などを、第3の基板上の第5の端子とLSIソケットとの接続態様を変更するだけで殆ど対処可能とし、換言すれば、第3の基板だけを交換すれば対応できるようにな

り、これによって、テストボードに所望に機能を持たせるテスト用追加回路を、多くの種類のテストデバイスに汎用的に利用できるようになる。

〔3〕LSIテストボードに第1及び第2の周波数変換回路を搭載することにより、テストがサポート可能な信号周波数以上の信号を少数若しくは一部の端子に要するLSIのテストを当該テストによって行うことができるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るLSIテストボードの平面図である。

【図2】LSIテストボードの3段縦積み構造を示す縦断面図である。

【図3】着脱可能に接続される端子構造を示す縦断面図である。

【図4】アナログ回路としてA/D変換器とD/A変換器が搭載された被テストデバイスのための第3の基板の一例を示す平面図である。

【図5】アナログ回路としてA/D変換器のみが搭載された被テストデバイスのための第3の基板の一例を示す平面図である。

【図6】アナログ回路としてD/A変換器のみが搭載された被テストデバイスのための第3の基板の一例を示す平面図である。

【図7】第2の基板に搭載されるテスト用追加回路としての変換回路の一例を示す説明図である。

【図8】本発明の第2実施例としてテスト用追加回路に周波数変換回路を採用した3段縦積み構造のLSIテストボードの平面図である。

【図9】本発明の第3実施例としてPLL回路と出力ゲ

*ート回路を有するLSIテストボードを示す回路図である。

【図10】図9に示される被テストデバイスの一例ブロック図である。

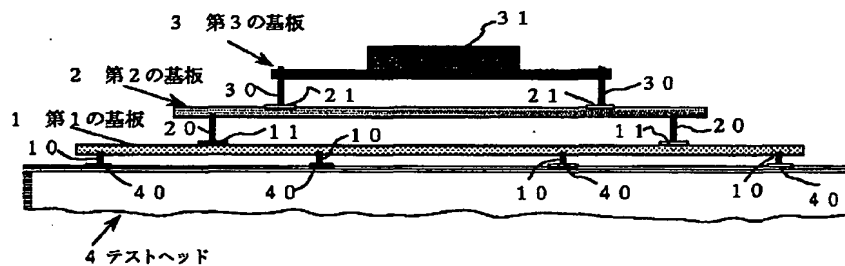
【符号の説明】

- 1 第1の基板
- 10 第1の端子
- 11 第2の端子
- 2 第2の基板
- 20 第3の端子
- 21 第4の端子
- 22 D/A変換回路（テスト用追加回路）
- 23 A/D変換回路（テスト用追加回路）
- 24 変換回路（テスト用追加回路）
- 28 第1の周波数変換回路
- 29 第2の周波数変換回路
- 3 第3の基板
- 30 第5の端子
- 31 LSIソケット
- DUT 被テストデバイス
- 33 パターン配線
- 4 テストヘッド
- 44 接触端子
- 60 PLL回路（第1の周波数変換回路）
- DIV プログラマブル分周器
- 70 出力ゲート回路（第2の周波数変換回路）
- φ 出力ラッチストロブ
- 101 第1の基板
- 102 第2の基板
- 103 第3の基板

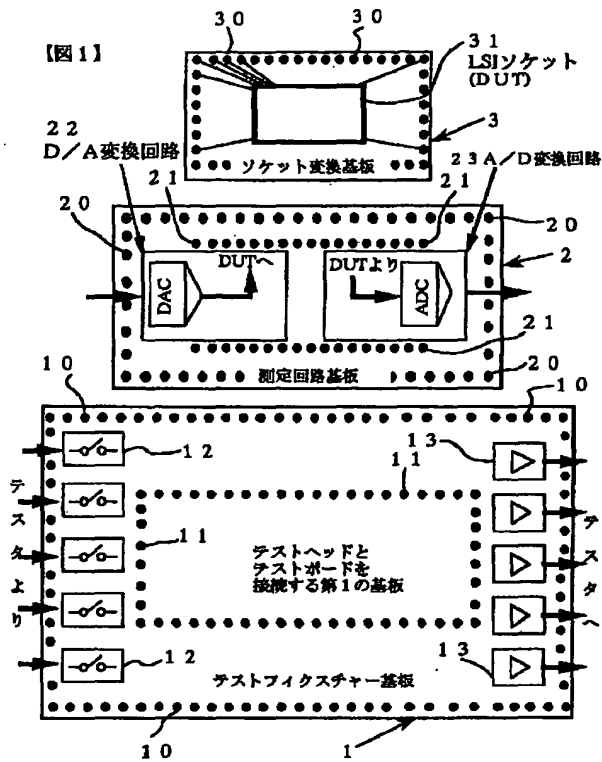
【図2】

【図2】

階層構造を持つテストボード

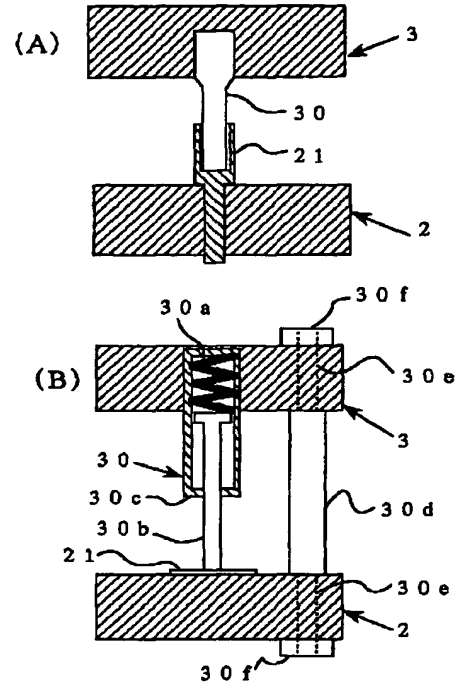


【図1】



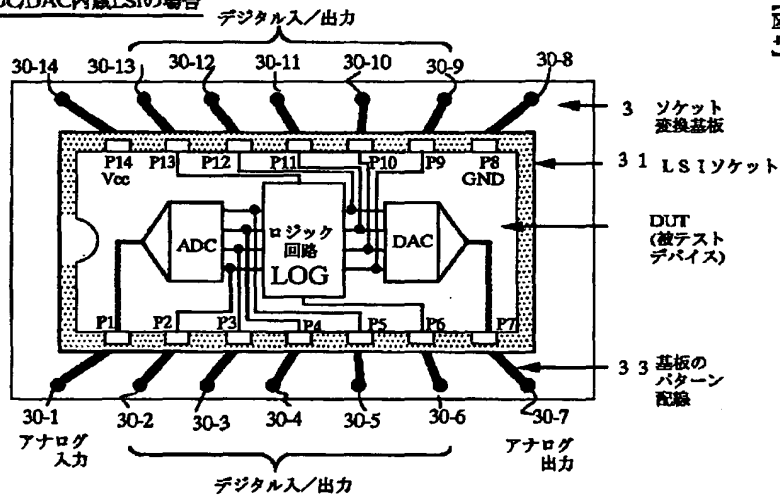
【図3】

【図3】



【図4】

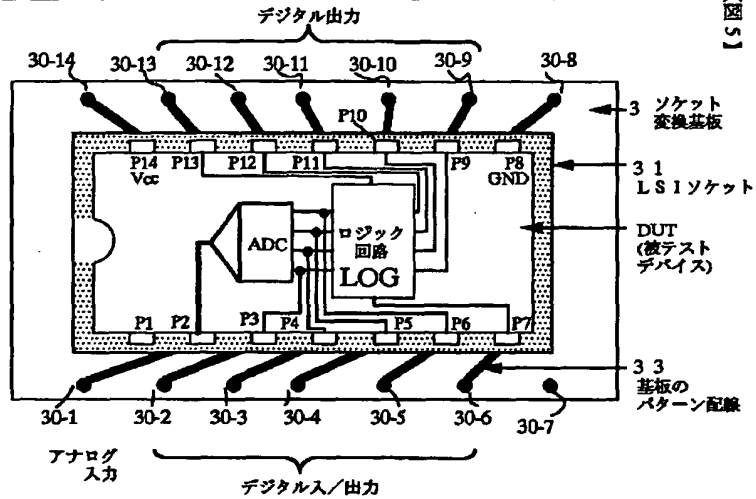
ADC/DAC内蔵LSIの場合



【図4】

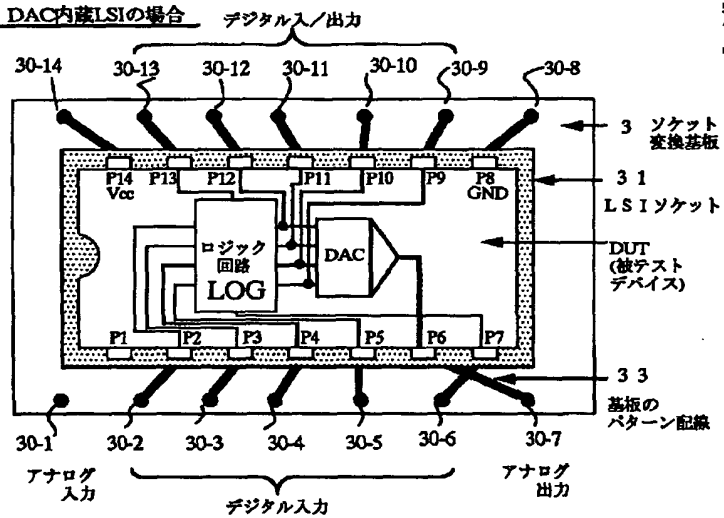
【図5】

ADC内蔵LSIの場合(ADCのアナログ入力ピン配列が上記と異なる場合)

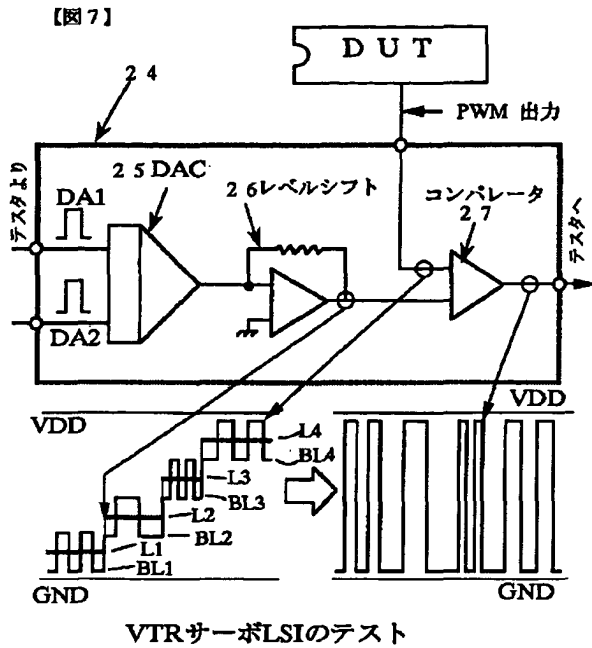


【図6】

DAC内蔵LSIの場合

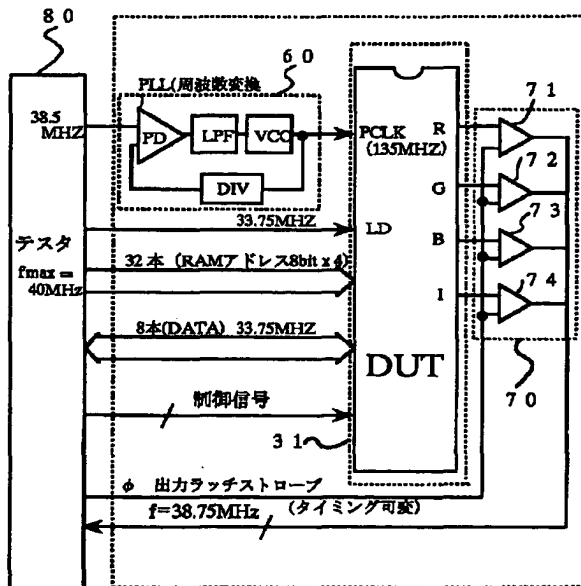


【図7】

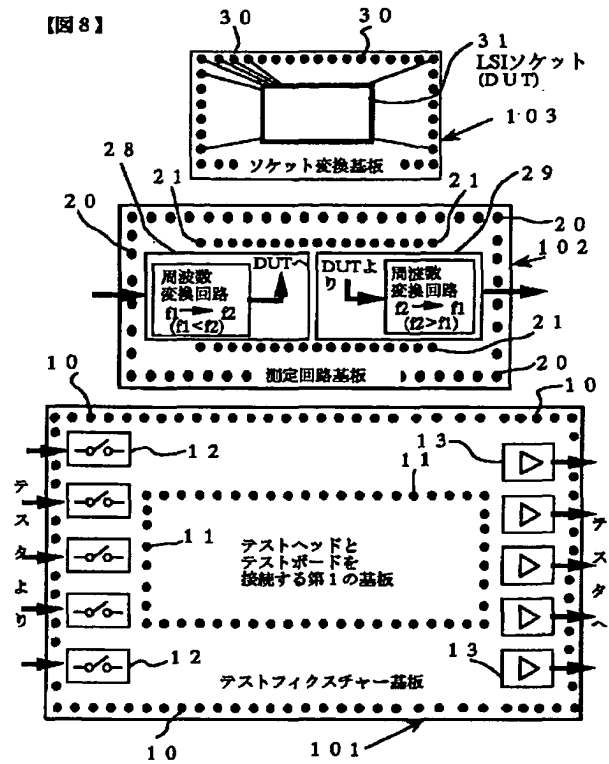


【図9】

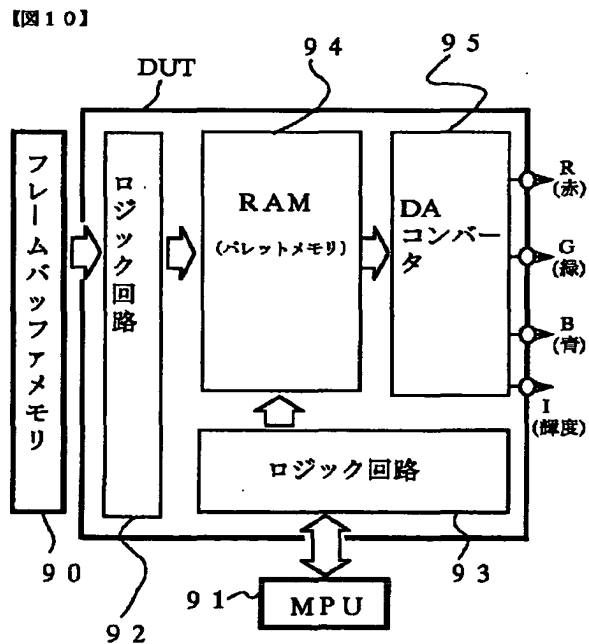
【図9】
周波数変換回路内蔵テストボード（高速rRAM 介在型テストシステム）



【図8】



【図10】



フロントページの続き

(72)発明者 平石 彰彦
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 竹内 茂
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 広瀬 茂美
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内